

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11345967 A**

(43) Date of publication of application: **14.12.99**

(51) Int. Cl

**H01L 29/78  
H01L 21/8238  
H01L 27/092**

(21) Application number: **10152732**

(22) Date of filing: **02.06.98**

(71) Applicant: **NEC CORP**

(72) Inventor: **FUJIEDA SHINJI**

**(54) MOS TRANSISTOR, ITS MANUFACTURE, AND  
INTEGRATED CIRCUIT CONTAINING THE SAME**

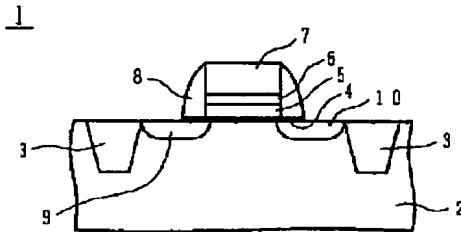
**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To reduce the thickness of a gate insulating film and secure the insulating property of the insulating film and the controllability of the gate threshold voltage, by forming a first insulating layer, a second insulating layer, a titanium oxide layer, and a silicon layer in a laminated state as gate constituting elements.

**SOLUTION:** Since a second insulating layer 5 composed of a tantalum oxide film is laminated upon a first insulating layer 4 composed of a silicon oxide film as a gate insulating film, the deterioration of the insulating property of the silicon oxide film 4 when the thickness of the film 4 is reduced is made up by the tantalum oxide film and, accordingly, the thickness of the gate insulating film can be reduced while the insulating property is secured. Since a layer 6 composed of a titanium oxide film is interposed between the second insulating layer 5 composed of the tantalum oxide film and a layer 7 composed of a silicon film, the problem of the capacity deterioration of the tantalum oxide film due to the reaction between the tantalum oxide film and silicon film can be solved and,

accordingly, the controllability of the threshold voltage of a gate by means of the silicon film can also be secured.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-345967

(43)公開日 平成11年(1999)12月14日

(51)Int.Cl.<sup>6</sup>

H 01 L 29/78  
21/8238  
27/092

識別記号

F I

H 01 L 29/78  
27/08

3 0 1 C  
3 2 1 D

審査請求 有 請求項の数12 O.L (全 7 頁)

(21)出願番号 特願平10-152732

(22)出願日 平成10年(1998)6月2日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 藤枝 信次

東京都港区芝五丁目7番1号 日本電気株  
式会社内

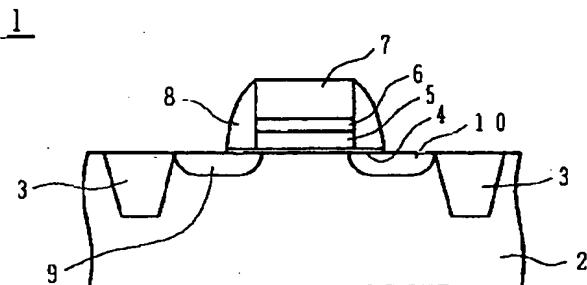
(74)代理人 弁理士 畑 泰之

(54)【発明の名称】 MOSトランジスタ、その製造方法及びそれを含む集積回路

(57)【要約】

【課題】 MOSトランジスタのゲート絶縁膜の薄膜化及び絶縁性の確保と、ゲートしきい電圧の制御性の確保とを同時に達成すること。

【解決手段】 ゲート絶縁膜として、シリコン酸化膜から成る第1の絶縁層4上にタンタル酸化膜から成る第2の絶縁層5を積層させ、且つ当該第2の絶縁層5とシリコン膜から成る層7との間にチタン酸化膜から成る層6を介在させた。



## 【特許請求の範囲】

【請求項1】 半導体基板の表層部分に形成されたシリコン酸化膜から成る第1の絶縁層と、当該第1の絶縁層上に積層形成されたタンタル酸化膜から成る第2の絶縁層と、当該第2の絶縁層上に積層形成されたチタン酸化膜から成る層と、当該チタン酸化膜から成る層上に積層形成されたシリコン膜から成る層とをゲート構成要素として有する事を特徴とするMOSトランジスタ。

【請求項2】 当該チタン酸化膜から成る層の厚みが1乃至5ナノメートルである事を特徴とする請求項1に記載のMOSトランジスタ。

【請求項3】 当該チタン酸化膜から成る層と当該シリコン膜から成る層との間にチタン窒化物を含む層が設けられている事を特徴とする請求項1又は2に記載のMOSトランジスタ。

【請求項4】 当該チタン窒化物を含む層の厚みが0.2乃至0.5ナノメートルである事を特徴とする請求項3に記載のMOSトランジスタ。

【請求項5】 当該シリコン膜から成る層内の当該チタン酸化膜から成る層又は当該チタン窒化物を含む層との境界部分にシリコン窒化物を含む層が設けられている事を特徴とする請求項1乃至4の何れかに記載のMOSトランジスタ。

【請求項6】 当該第1の絶縁層と第2の絶縁層とを合計したシリコン酸化膜換算膜厚が4ナノメートル又はそれ以下である事を特徴とする請求項1乃至5の何れかに記載のMOSトランジスタ。

【請求項7】 当該第1の絶縁層と第2の絶縁層とを合計したシリコン酸化膜換算膜厚が1.5ナノメートル又はそれ以下である事を特徴とする請求項6に記載のMOSトランジスタ。

【請求項8】 当該第1の絶縁層の厚みが1ナノメートル又はそれ以下である事を特徴とする請求項1乃至7の何れかに記載のMOSトランジスタ。

【請求項9】 当該第2の絶縁層の厚みが1乃至1.5ナノメートルである事を特徴とする請求項1乃至8の何れかに記載のMOSトランジスタ。

【請求項10】 半導体基板の表層部分に第1の絶縁層用のシリコン酸化膜を形成する工程、当該シリコン酸化膜上に第2の絶縁層用のタンタル酸化膜を形成する工程、当該タンタル酸化膜上にチタン酸化膜を形成する工程、当該チタン酸化膜の表層部分をプラズマ窒化してチタン窒化物を含む層を形成する工程、当該チタン窒化物を含む層上にシリコン膜を形成する工程、及び、当該シリコン酸化膜、タンタル酸化膜、チタン酸化膜、チタン窒化物を含む層及びシリコン膜の積層物をパターニング処理する工程を含む事を特徴とするMOSトランジスタの製造方法。

【請求項11】 半導体基板の表層部分に第1の絶縁層用のシリコン酸化膜を形成する工程、当該シリコン酸化

膜上に第2の絶縁層用のタンタル酸化膜を形成する工程、当該タンタル酸化膜上にチタン酸化膜を形成する工程、当該チタン酸化膜上に窒素添加シリコン膜を形成する工程、当該シリコン酸化膜、タンタル酸化膜、チタン酸化膜及び窒素添加シリコン膜の積層物をパターニング処理する工程、及び当該窒素添加シリコン膜を熱処理して、当該窒素添加シリコン膜内に含有される窒素の熱拡散により、当該チタン酸化膜内の当該窒素添加シリコン膜との境界部分にチタン窒化物を含む層を形成する工程を含む事を特徴とするMOSトランジスタの製造方法。

【請求項12】 請求項1乃至9の何れかに記載のMOSトランジスタを含む集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、MOSトランジスタ、その製造方法及びそれを含む集積回路に関するものであり、特に詳しくは、ゲート絶縁膜を薄くした場合の絶縁性の確保の問題を解決出来、しかもゲートのしきい電圧の制御も可能なMOSトランジスタ、その製造方法及びそれを含む集積回路に関するものである。

## 【0002】

【従来の技術】MOSトランジスタは、DRAM、論理プロセッサ、混載マルチメディア用デバイス等のULSIデバイスの基本的な構成要素であり、そのゲート部分は、従来、例えばシリコン半導体基板の表層部分に形成されたシリコン酸化膜等のゲート絶縁膜上にポリシリコン膜を設ける事で形成されていた。当該ポリシリコン膜は、例えば添加される不純物の種類や量を変化させる事により、その導電性を自在に制御出来、従ってトランジスタ動作のしきい電圧が制御可能となる。

【0003】ポリシリコンは、単結晶シリコンと同様に、ホウ素等のp型不純物の添加によりp型に、リンやヒ素等のn型不純物の添加によりn型となり、それぞれゲート絶縁膜を介して、p型ポリシリコンをn型半導体基板上に、或いはn型ポリシリコンをp型半導体基板上に形成すると、当該基板とポリシリコン膜との間に約1ボルトの電位差が生まれ、チャネル部分でのキャリア反転が生じ易くなり、従ってトランジスタのソースとドレインとを導通させるのに必要なゲート電圧を、p型、n型双方で0に近づける事が出来る為、基板側の不純物のドープ量を変える事でしきい電圧を制御する事が出来る。消費電力を抑え、又ゲート絶縁膜に於けるリークを回避する為、トランジスタのしきい電圧は、ゲート電圧のオフ時にドレン電流が流れない限りにおいて、低くする事が好ましく、p型、n型双方でこれを達成する為には、ポリシリコンをゲート構成要素として用いる事が望ましい。

【0004】ULSIの高集積化では、MOSトランジスタの寸法を縮小しても、チャネル電流値を保つ必要がある。チャネル電流は、ゲート下に誘起されるキャリア

密度nに比例し、nはゲート絶縁膜の単位面積あたりの容量値に比例する。当該ゲート容量値は、ゲート絶縁膜の膜厚に反比例するので、当該絶縁膜として通常用いられるシリコン酸化膜は、出来る限り薄くする様に努められ、近年研究開発が進んでいる0.18ミクロンゲート長の論理プロセッサデバイスでは、シリコン酸化膜の厚みが3ナノメートル以下、即ち、シリコン酸化膜内の各原子間の距離の数倍乃至十数倍の厚みまで薄くする事が要求されている。

【0005】然しながら、この様な極めて薄い絶縁膜では電気的絶縁性が不十分な為、絶縁膜を薄くすると同時に、絶縁性確保の為、シリコン酸化膜（比誘電率3.9）よりも高い比誘電率を有する材料、例えば絶縁性タンタル酸化膜（比誘電率25）をゲートの構成要素として用いる事が検討されている。

【0006】例えば、1997年秋期応用物理学会予稿集、第2分冊、744頁には、シリコン半導体基板の硝酸処理で形成されたシリコン自然酸化膜上に、タンタル酸化膜、窒化チタン膜を積層形成したゲートが紹介されている。当該ゲートでは、ポリシリコン内での空乏層形成を恐れて、ポリシリコンの代りに、空乏層容量の影響を無視出来る金属として窒化チタン膜を用いているが、この場合は、ポリシリコンの様にゲートのしきい電圧の制御が出来なくなる。

【0007】そこで、当該窒化チタンの代りに、ポリシリコン膜を用いて、当該高誘電率のタンタル酸化膜上に積層させる事が考えられるが、タンタル酸化膜上に直接ポリシリコン膜を積層形成すると、例えばポリシリコン内の不純物の活性化の為の熱処理の際に、ポリシリコン膜内のタンタル酸化膜との境界部分が酸素を捕獲する相互反応が生じ、ポリシリコンの酸化とタンタル酸化膜の還元により、低誘電率のシリコン酸化物の層が形成されてしまう。

#### 【0008】

【発明が解決しようとする課題】従って、本発明の目的は、上記した従来技術の欠点を改良し、ゲート絶縁膜を薄くする為にタンタル酸化膜を用いた場合のシリコン膜との反応を抑止する事で、当該タンタル酸化膜により可能となるゲート絶縁膜の薄膜化及び絶縁性の確保と、当該シリコン膜により可能となるゲートしきい電圧の制御性の確保とを同時に達成する事が出来るMOSトランジスタ、その製造方法及びそれを含む集積回路を提供するものである。

#### 【0009】

【課題を解決するための手段】本発明は上記した目的を達成する為、基本的には以下に記載されたような技術構成を採用するものである。

【0010】即ち、本発明に係る第1の態様としては、半導体基板の表層部分に形成されたシリコン酸化膜から成る第1の絶縁層と、当該第1の絶縁層上に積層形成さ

れたタンタル酸化膜から成る第2の絶縁層と、当該第2の絶縁層上に積層形成されたチタン酸化膜から成る層と、当該チタン酸化膜から成る緩衝層上に積層形成されたシリコン膜から成る層とをゲート構成要素として有するMOSトランジスタである。

【0011】又、本発明に係る第2の態様としては、半導体基板の表層部分に第1の絶縁層用のシリコン酸化膜を形成する工程、当該シリコン酸化膜上に第2の絶縁層用のタンタル酸化膜を形成する工程、当該タンタル酸化膜上にチタン酸化膜を形成する工程、当該チタン酸化膜の表層部分をプラズマ窒化してチタン窒化物を含む層を形成する工程、当該チタン窒化物を含む層上にシリコン膜を形成する工程、及び、当該シリコン酸化膜、タンタル酸化膜、チタン酸化膜、チタン窒化物を含む層及びシリコン膜の積層物をバーニング処理する工程を含むMOSトランジスタの製造方法である。

【0012】更に、本発明に係る第3の態様としては、半導体基板の表層部分に第1の絶縁層用のシリコン酸化膜を形成する工程、当該シリコン酸化膜上に第2の絶縁層用のタンタル酸化膜を形成する工程、当該タンタル酸化膜上にチタン酸化膜を形成する工程、当該チタン酸化膜上に窒素添加シリコン膜を形成する工程、当該シリコン酸化膜、タンタル酸化膜、チタン酸化膜及び窒素添加シリコン膜の積層物をバーニング処理する工程、及び当該窒素添加シリコン膜を熱処理して、当該窒素添加シリコン膜内に含有される窒素の熱拡散により、当該チタン酸化膜内の当該窒素添加シリコン膜との境界部分にチタン窒化物を含む層を形成する工程を含むMOSトランジスタの製造方法である。

【0013】更に又、本発明に係る第4の態様としては、上記MOSトランジスタを含む集積回路である。

#### 【0014】

【発明の実施の形態】本発明にかかる当該MOSトランジスタ、その製造方法及びそれを含む集積回路は、上記した様な構成を採用しており、その特徴は、ゲート絶縁膜としてシリコン酸化膜から成る第1の絶縁層上にタンタル酸化膜から成る第2の絶縁層を積層させる事で、当該シリコン酸化膜を薄くした場合の絶縁性の低下を当該タンタル酸化膜により補い、従って絶縁性を確保しながらゲート絶縁膜を薄膜化出来、且つ当該タンタル酸化膜から成る第2の絶縁層とシリコン膜から成る層との間にチタン酸化膜から成る層を介在させる事により、当該タンタル酸化膜とシリコン膜との反応によるタンタル酸化膜の容量低下の問題が解決可能となり、従って当該シリコン膜によるゲートしきい電圧の制御性も確保出来る事となる。

【0015】即ち、当該チタン酸化膜は、タンタル酸化膜よりも高い比誘電率(8.5)を有し、且つそれ自体還元性が低くシリコン膜と反応し難い為、当該タンタル酸化膜の当該シリコン膜との反応による容量低下を抑止出

来る。当該チタン酸化膜は、連続膜として当該第2の絶縁層と当該シリコン膜から成る層との間に介在する事が必要であり、従って通常は1ナノメートル以上の膜厚とされ、その膜厚の上限は、特に制限されないが、チャネル電流低下を防ぐ為には、5ナノメートル又はそれ以下とする事が望ましい。

【0016】又、本発明に於いては、当該チタン酸化膜と当該シリコン酸化膜との反応を抑止する為、当該チタン酸化膜から成る層と当該シリコン膜から成る層との間にチタン窒化物を含む層が設けられていてもよく、当該チタン窒化物を含む層は、チタン窒化物のみから成っていてもよく、或いはチタン窒化物と、当該チタン酸化膜から成る層の成分及び／又は当該シリコン膜から成る層の成分とが混在或いは反応した状態となっていてもよい。当該チタン窒化物を含む層の厚みは、0.2乃至0.5ナノメートルである事が望ましい。即ち、0.2ナノメートル未満では上記反応抑止の効果が不十分となり、又0.5ナノメートルを超えると、当該シリコン層によるトランジスタの動作電圧しきい値制御に影響を与える可能性がある為、望ましくない。

【0017】尚、当該タンタル酸化膜を用いずに、当該シリコン酸化膜から成る第1の絶縁層上にチタン酸化膜、シリコン膜を順次積層形成した場合には、高い容量値は期待出来るが、チタン酸化膜は、電極の電気的障壁が低くなり（電極がn型ポリシリコンの場合、タンタル酸化膜の1.8ボルトに対し、1ボルト）、単独で用いると、ゲートから電流が漏れ、結局所要のキャリア密度nが得られない事となる。

【0018】又、当該シリコン膜から成る層内の当該チタン酸化膜から成る層又は当該チタン窒化物を含む層との境界部分にシリコン窒化物を含む層が設けられていると、当該シリコン膜から成る層内にホウ素等のp型不純物又はリン等のn型不純物を添加し、熱処理により活性化する際に、当該シリコン窒化物が、当該不純物の当該第1及び第2絶縁膜ないしは当該半導体基板内への拡散を防止する効果がある為好ましい。当該シリコン窒化物を含む層の厚みに特に制限はないが、通常は1ナノメートル又はそれ以上とされ、例えば当該シリコン膜から成る層の全体が当該シリコン窒化物を含む層となっていてもよい。

【0019】更に、当該シリコン膜から成る層を構成するシリコンは、通常はポリシリコン相を呈するものが用いられるが、アモルファス相や単結晶相を用いていてもよく、或いはこれらが混合した混合相となっていてもよい。

#### 【0020】

【実施例】以下に、本発明に係るMOSトランジスタ、その製造方法及びそれを含む集積回路の具体例を図面を参照しながら詳細に説明する。尚、本発明に係るMOSトランジスタはpチャネルMOS、nチャネルMOS、

CMOS等何れのMOSトランジスタでもよく、又当該MOSトランジスタを含む本発明に係る集積回路は、かかるpチャネルMOS、nチャネルMOS、CMOS等のトランジスタ部分を多数含む、DRAM、論理プロセッサ、混載マルチメディア用デバイス等の集積回路（VLSI、ULSI等）の何れであってもよい。

【0021】即ち、図1は、本発明に係るMOSトランジスタの一具体例として、本発明に係る集積回路に含まれる1つのMOSトランジスタ部分の構造を示す断面図であり、当該MOSトランジスタ部分は、ゲート構成要素として、例えばシリコン半導体基板等の半導体基板2の表層部分に形成されたシリコン酸化膜から成る第1の絶縁層4と、当該第1の絶縁層4上に積層形成されたタンタル酸化膜から成る第2の絶縁層5と、当該第2の絶縁層5上に積層形成されたチタン酸化膜から成る層6と、当該チタン酸化膜から成る層6上に積層形成されたシリコン膜から成る層7とを有する。尚、3は当該MOSトランジスタ部分を隣接するMOSトランジスタ部分と分離するための素子間分離酸化膜であり、8は当該ゲートの側端部分に形成された、側壁構造を有する絶縁膜であり、9及び10はそれぞれ半導体基板2の表層部分に形成されたソース領域及びドレイン領域である。当該MOSトランジスタ部分をnチャネルトランジスタとする為には、当該半導体基板2をp型とし、当該シリコン膜から成る層7、ソース領域9及びドレイン領域10にそれぞれn型不純物（例えばリン、ヒ素等）を添加してn型とする。又、当該MOSトランジスタ部分をpチャネルトランジスタとする為には、当該半導体基板2をn型とし、当該シリコン膜から成る層7、ソース領域9及びドレイン領域10にそれぞれp型不純物（例えばホウ素、インジウム、アルミニウム等）を添加してp型とする。

【0022】又、図2は、本発明に係るMOSトランジスタの一具体例として、本発明に係る集積回路に含まれる1つのCMOSトランジスタ部分21の構造を示す断面図であり、当該CMOSトランジスタ部分は、番号にプライムを付していない部分が例えばnチャネル型の、又番号にプライムを付した部分が例えばpチャネル型のMOSトランジスタ部分であり、当該両トランジスタ部分は、ゲート構成要素として、例えばシリコン半導体基板等の半導体基板22の表層部分に形成されたシリコン酸化膜から成る第1の絶縁層24、24'、当該第1の絶縁層4上に積層形成されたタンタル酸化膜から成る第2の絶縁層25、25'、当該第2の絶縁層25、25'上に積層形成されたチタン酸化膜から成る層26、26'、当該チタン酸化膜から成る層26、26'上に積層形成されたシリコン膜から成る層27、27'を有する。尚、23は当該各MOSトランジスタ部分を隣接するMOSトランジスタ部分と分離するための素子間分離酸化膜であり、28、28'は当該ゲート

の側端部分に形成された、側壁構造を有する絶縁膜であり、29、29'及び30、30'はそれぞれ半導体基板22の表層部分に形成されたソース領域及びドレイン領域である。当該シリコン膜から成る層27、ソース領域29及びドレイン領域30は、それぞれn型不純物（例えばリン、ヒ素等）が添加されてn型に、又当該シリコン膜から成る層27'、ソース領域29'及びドレイン領域30'は、それぞれp型不純物（例えばリン、ヒ素等）が添加されてp型にされている。

【0023】当該第1の絶縁膜を形成するシリコン酸化膜は、ゲート絶縁膜と半導体基板との界面の欠陥準位の低減の為に必要であるが、容量を高める為には厚みを1ナノメートル又はそれ以下にする事が望ましい。当該シリコン酸化膜は、例えば硝酸等を用いてシリコン半導体基板を自然酸化させて得られるシリコン酸化膜、シリコン半導体基板の熱酸化により得られる熱酸化膜、NO酸窒化法により得られる窒素含有シリコン酸化膜など公知のシリコン酸化膜により形成する事が出来る。

【0024】当該第2の絶縁膜を形成するタンタル酸化膜の膜厚は、当該第1及び第2の絶縁膜全体のシリコン酸化膜換算膜厚、即ち容量の計算式 $C = \epsilon_0 \epsilon_r S / t$ （式中 $\epsilon_0$ は真空の誘電率であり、 $\epsilon_r$ は比誘電率であり、Sは面積であり、tは膜厚である）において、比誘電率1.8、膜厚tナノメートルのタンタル酸化膜は、比誘電率3.9、膜厚3.9t/18のシリコン酸化膜と同一容量となるから、当該タンタル酸化膜の実際の膜厚tに3.9/18の係数を掛け、これにシリコン酸化膜の実際の膜厚を足して当該第1及び第2の絶縁膜全体のシリコン酸化膜換算膜厚を算出し、この値を目安として最適化する事が出来る。本発明に於いては、当該シリコン酸化膜換算膜厚を4ナノメートル又はそれ以下、更には1.5ナノメートル又はそれ以下とする事が好ましく、従って当該シリコン酸化膜から成る第1の絶縁層の厚みを1ナノメートル又はそれ以下とした場合には、当該タンタル酸化膜から成る第2の絶縁層の厚みを1乃至1.5ナノメートルとする事が好ましい。

【0025】又、本発明に係る当該MOSトランジスタの製造方法の一具体例としては、例えば、図3に示す様に、例えば図1に示した様な構造のnチャネルMOSトランジスタを製造する場合には、先ず図3(a)に示した様に、例えばp型シリコン(100)基板31の表層部分に素子間分離酸化膜33を形成し、並びに例えば急速熱酸化法により例えば厚み0.8ナノメートルのシリコン酸化膜32を形成し、次いで、当該シリコン酸化膜32上に例えばCVD法により厚み10ナノメートルのタンタル酸化膜34を形成する。

【0026】次に、図3(b)に示した様に、当該タンタル酸化膜34上に、例えば有機チタン原料[例えばTi(O-i-s-o-C<sub>3</sub>H<sub>7</sub>)<sub>4</sub>]と酸化剤（例えば二酸化窒素）とを用いて、CVD法（温度400°C）により

厚み2ナノメートルのチタン酸化膜35を積層形成する。

【0027】次に、当該チタン酸化膜から成る層と、当該チタン酸化膜から成る層上に形成するシリコン膜から成る層との間にチタン窒化物を含む層を設ける場合には、例えば図3(b)のチタン酸化膜35を積層形成した状態で、当該チタン酸化膜35を、例えばCVD炉内の窒素ガス雰囲気中でプラズマを励起し、窒素ラジカルを当該チタン酸化膜35の表面に照射するなどして窒化する事で、厚みが例えば0.2乃至0.5ナノメートルのチタン窒化物を含む層（図示せず）を形成する事が出来る。

【0028】かくしてチタン酸化膜35上にチタン窒化物を含む層を形成した後、図(c)に示した様に、例えばシランガスを用いて、CVD法により当該チタン窒化物を含む層上に、例えば200ナノメートルの厚みのシリコン膜36を積層形成する。

【0029】次いで、通常のリソグラフィー技術と選択エッチング技術を用いて、当該シリコン酸化膜32、タンタル酸化膜34、チタン酸化膜35、必要に応じて設けられるチタン窒化物を含む層及びシリコン膜36をパターニング処理して、図(d)に示した様な、シリコン酸化膜から成る層32'、タンタル酸化膜から成る層34'、チタン酸化膜から成る層35'、必要に応じて設けられるチタン窒化物を含む層、及びシリコン膜から成る層36'の積層物から成るゲート37を形成し、その前後に、当該シリコン膜から成る層36'及び当該ゲートの近傍に例えばn型の不純物（例えばリン、ヒ素等）をドーピングし、必要に応じて不純物活性化のための熱処理を施して、シリコン膜から成る層36'を例えばn型とすると共に、当該シリコン基板31の表層部分に例えばn型のソース領域38、ドレイン領域39を形成し、更に必要に応じて、例えば公知の成膜及びエッチバック技術を用いて、当該ゲートの側端部分に、例えばシリコン酸化膜、シリコン窒化膜等の絶縁膜から成る側壁構造の絶縁膜40を形成する。又、当該シリコン膜から成る層36'上に更に公知のシリサイド層等を形成したゲート構造としてもよい。

【0030】尚、当該チタン窒化物を含む層を設ける方法としては、上記した当該チタン酸化膜35を窒化する方法のほか、例えば、図3(c)において、例えばシランを含むCVD用シリコン成膜原料中に、ジメチルヒドロジン等の窒素源を一時的又は連続的に添加する事で、形成するシリコン膜36の少なくとも当該チタン酸化膜35との境界近傍部分ないしはシリコン膜36全体を、例えば10原子ppmの窒素を添加したシリコン膜として成膜し、当該成膜時ないしは後工程に於ける熱処理により当該窒素とチタン酸化膜35とを反応させて、当該チタン酸化膜35とシリコン膜36との間に、例えば厚み0.5ナノメートルのチタン窒化物を含む層を形成す

る方法を用いる事も出来る。当該ソース領域38、ドレイン領域39、絶縁層40の形成、不純物の活性化は前記の例と同様にして行う事が出来る。

【0031】かくして製造されるMOSトランジスタは、当該チタン酸化膜によりタンタル酸化膜の容量低下が抑制される為、トランジスタの電気的特性の測定から見積もった場合、例えばチタン酸化膜が無い状態では、当該第1及び第2の絶縁膜のシリコン酸化膜換算膜厚が4.2ナノメートルとなるのに対し、約3.1ナノメートルの膜厚となり、ゲート絶縁膜の薄膜化に大きく寄与出来る事が実証された。又、この約3.1ナノメートルの膜厚は、膜厚0.8ナノメートルのシリコン酸化膜と膜厚1.0ナノメートルのタンタル酸化膜との合計シリコン酸化膜換算膜厚値2.9ナノメートルよりも若干高くなっているが、これは当該チタン酸化膜が殆ど容量として働かない為であると推察され、又当該チタン窒化物を含む層を設けた場合にも、窒化がタンタル酸化膜まで及ばないので、シリコン酸化膜換算膜厚の低減には悪影響を及ぼさないものと考えられる。

【0032】又、例えば当該タンタル酸化膜から成る層の厚みを3ナノメートル又はそれ以下とすれば、例えば厚み0.8ナノメートルのシリコン酸化膜から成る層との合計シリコン酸化膜換算膜厚は1.5ナノメートル又はそれ以下とする事が出来る。

【0033】更に、本発明によれば、実際の当該タンタル酸化膜の短絡不良率を、当該チタン酸化膜がないときの約7割から約3割に低減出来、又ゲート絶縁膜のリーク電流は室温2ボルトにおいて、厚み3.1ナノメートルのシリコン酸化膜を用いた場合と比べて約1/4とする事が出来る。

#### 【0034】

【発明の効果】本発明に係る当該MOSトランジスタ、その製造方法及びそれを含む集積回路は、上記した様な構成を採用しているので、ゲート絶縁膜としてシリコン

酸化膜から成る第1の絶縁層上にタンタル酸化膜から成る第2の絶縁層を積層させる事で、当該シリコン酸化膜を薄くした場合の絶縁性の低下を当該タンタル酸化膜により補い、従って絶縁性を確保しながらゲート絶縁膜を薄膜化出来、且つ当該タンタル酸化膜から成る第2の絶縁層とシリコン膜から成る層との間にチタン酸化膜から成る層を介在させる事により、当該タンタル酸化膜とシリコン膜との反応によるタンタル酸化膜の容量低下の問題が解決可能となり、従って当該シリコン膜によるゲートしきい電圧の制御性も確保出来る事となり、従って高い信頼性のプロセスにより高集積化したデバイスを作り出す事が出来る。

#### 【図面の簡単な説明】

【図1】本発明に係る集積回路に含まれる本発明に係るMOSトランジスタの構造を示す断面図である。

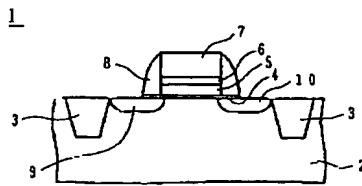
【図2】本発明に係る集積回路に含まれる本発明に係るMOSトランジスタの構造を示す断面図である。

【図3】本発明に係る集積回路に含まれる本発明に係るMOSトランジスタの製造方法の工程を説明する為の断面図であり、図3(a)は第1及び第2の絶縁膜用膜体32、34を積層形成した状態、図3(b)はチタン酸化膜35を積層形成した状態、図3(c)はシリコン膜37を形成した状態、図3(d)はパターニング処理によりゲートを形成した状態を示している。

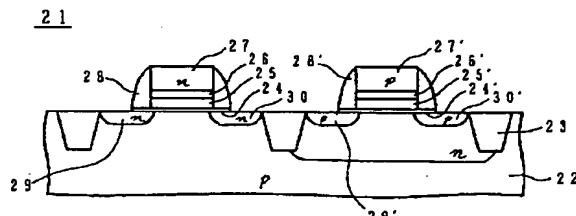
#### 【符号の説明】

- 1、21 MOSトランジスタ
- 2、22 半導体基板
- 4、24、24' シリコン酸化膜から成る第1の絶縁層
- 5、25、25' タンタル酸化膜から成る第2の絶縁層
- 6、26、26' チタン酸化物から成る層
- 7、27、27' シリコン膜から成る層

【図1】



【図2】



【図3】

